

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 239/176

In re patent application of

Hyung-rok OH, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: MAGNETIC MEMORY DEVICE IMPLEMENTING READ OPERATION TOLERANT
TO BITLINE CLAMP VOLTAGE (VREF)

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

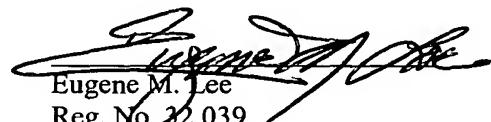
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-60252, filed October 2, 2002.

Respectfully submitted,

September 12, 2003
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0060252
Application Number

출원년월일 : 2002년 10월 02일
Date of Application OCT 02, 2002

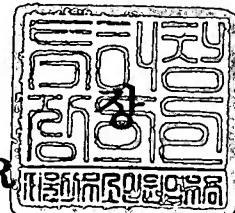
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 04월 30일

특허청

COMMISSIONER





1020020060252

출력 일자: 2003/5/3

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 10. 02
【발명의 명칭】	비트라인 클램핑 전압 레벨에 대해 안정적인 독출 동작이 가능한 마그네틱 메모리 장치
【발명의 영문명칭】	Magnetic memory device implementing read operation tolerant of bitline clamp voltage(VREF)
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	오형록
【성명의 영문표기】	OH, HYUNG ROK
【주민등록번호】	690310-1641411
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 청솔마을 한라아파트 304동 1002호
【국적】	KR
【발명자】	
【성명의 국문표기】	김수연
【성명의 영문표기】	KIM, SU YEON
【주민등록번호】	731009-2651119



1020020060252

출력 일자: 2003/5/3

【우편번호】	441-112
【주소】	경기도 수원시 권선구 세류2동 1157 연립주택 305호
【국적】	KR
【발명자】	
【성명의 국문표기】	조우영
【성명의 영문표기】	CHO, WOO YEONG
【주민등록번호】	681006-1841019
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 211동 1103호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	458,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



1020020060252

출력 일자: 2003/5/3

【요약서】

【요약】

비트라인 클램핑 전압 레벨에 대해 안정적인 독출 동작이 가능한 MRAM이 개시된다. 본 발명의 MRAM은 본 발명의 제1 실시예에 따른 MRAM은 메모리 셀 어레이 블락, 기준 메모리 셀 어레이 블락, 제1 내지 제3 비트라인 클램핑 회로, 그리고 센스 앰프를 포함한다. 메모리 셀 어레이 블락은 워드라인들과 디지트 라인들, 그리고 비트라인들의 교차점에 복수개의 마그네틱 메모리 셀들이 배열된다. 기준 메모리 셀 어레이 블락은 기준 워드라인들과 디지트 라인들, 그리고 기준 비트라인의 교차점에 배열되는 복수개의 마그네틱 메모리 셀들을 갖고, 인접한 워드라인 2개마다 기준 워드라인이 하나씩 배열되고, 기준 워드라인에 연결된 2개의 마그네틱 메모리 셀들 각각에 데이터 "H"와 데이터 "L"가 저장된다. 제1 내지 제3 비트라인 클램핑 회로는 동일하고, 비트라인과 기준 비트라인에 각각 연결되고, 선택된 마그네틱 메모리 셀 데이터에 따라 소정의 전류를 비트라인과 기준 비트라인으로 흘린다. 센스 앰프는 비트라인과 연결되는 데이터 라인 상의 전류와 기준 비트라인과 연결되는 기준 데이터 라인 상의 전류 차를 감지증폭하여 메모리 셀 어레이 블락의 선택된 마그네틱 메모리 셀 데이터를 판별한다.

【대표도】

도 3

【색인어】

MRAM, 비트라인 클램핑 회로(전압), 자기 저항 값, 기준 워드라인,



1020020060252

출력 일자: 2003/5/3

【명세서】

【발명의 명칭】

비트라인 클램핑 전압 레벨에 대해 안정적인 독출 동작이 가능한 마그네틱 메모리 장치{Magnetic memory device implementing read operation tolerant of bitline clamp voltage(VREF)}

【도면의 간단한 설명】

도 1은 종래의 MRAM에 관한 논문을 나타내는 도면이다.

도 2는 도 1의 MRAM의 비트라인 클램프 전압(VREF) 변화에 따른 자기 저항 값 변화를 나타내는 그래프이다.

도 3은 본 발명의 제1 실시예에 따른 MRAM을 나타내는 도면이다.

도 4는 도 3의 MRAM의 독출 동작을 설명하는 회로도를 나타내는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 MRAM을 나타내는 도면이다.

도 6은 도 5의 MRAM의 독출 동작을 설명하는 회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 마그네틱 랜덤 억세스 메모리(magnetic random access memory)에 관한 것으로, 특히 비트라인 클램핑 전압에 상관없이 기준 셀로 $(I(H)+I(L))/2$ 의 전류가 흐르는 마그네틱 랜덤 억세스 메모리에 관한 것이다.

<8> 마그네틱 랜덤 액세스 메모리(magnetic random access memory: 이하 "MRAM"이라 칭 한다)는 일종의 불휘발성 메모리 장치로서, 복수개의 마그네틱 메모리 셀을 포함한다. MRAM은 자성층과 비자성층이 교대로 적층된 멀티층 필름 사이에 나타나는 자기저항(magnetoresistive) 현상을 이용한다. 마그네틱 메모리 셀의 자기저항은 자성층 내 자화 방향이 같거나 반대에 따라 각각 최소값과 최대값을 가진다. 자화 방향이 같으면 "병렬(parallel)" 상태라고 부르고 로직적으로 "L"인 상태를 나타낸다. 자화 방향이 반대이면 "비병렬(Anti-parallel)" 상태라고 부르고 로직적으로 "H"인 상태라고 부른다.

<9> MRAM은 마그네틱 메모리 셀에 저장된 로직 상태를 읽기 위해, 센스 전류와 기준 전류를 타겟 셀과 기준 셀에다가 각각 인가한다. 타겟 셀과 기준 셀의 자기저항 값에 따라 셀들 양단에 전압 강하가 발생한다. 이 전압들을 서로 비교하여 타겟 셀의 상태를 판단하게 된다. 타겟 셀을 기준 셀과 정확히 비교하기 위하여 자기저항의 변화가 없는 마그네틱 메모리 셀이 요구된다. 그리고 기준 셀로는 $(I(H)+I(L))/2$ 의 전류가 흐르도록 설정되는 것이 일반적이다.

<10> 도 1은 MRAM에 관한 논문(VLSI 심포지움, 2002)의 도 7을 나타내는 도면으로, 중간 점 기준 발생부(Mid-point Reference Generator)를 내재한 32Kb MRAM 메모리 블락을 나타낸다. 중간점 기준 발생부는 4개의 자기저항들이 직렬-병렬 연결되어 있다. 직렬 연결된 자기저항은 다른 직렬 연결된 자기저항과 병렬로 연결되어 결과적으로 $\frac{1}{2}(R_{max}+R_{min})$ 저항이 된다. 그런데, 중간점 기준 발생부의 자기저항 값은 비트라인 클램핑 전압(V_{ref})의 레벨에 따라 다소 달라질 수 있는 데, 도 2의 그래프를 참조하여 설명한다. 도 2를 참조하면, 비트라인 클램핑 전압(V_{ref})이 설



정된 값일 때의 최대 저항(R_{max}) 값과 최소 저항(R_{min}) 값의 차이는 기준 전압(V_{ref})이 설정된 값보다 작을 때의 최대 저항(R_{max}) 값과 최소 저항(R_{min}) 값의 차이 보다 작다. 즉, 비트라인 클램핑 전압(V_{ref}) 레벨이 높으면 $\frac{1}{2}(R_{max}+R_{min})$ 저항 값은 작아지고, 비트라인 클램핑 전압(V_{ref})이 낮으면 $\frac{1}{2}(R_{max}+R_{min})$ 저항 값은 커진다. 이에 따라 중간점 기준 발생부는 $\frac{1}{2}(R_{max}+R_{min})$ 저항 값을 맞추기 위해 기준 전압(V_{ref})을 조절해야 하는 데, 이는 실험적 결과를 통해서만 알 수 있고 기준 셀의 비트라인 클램핑(clamping) 전압을 다시 구성해야 하는 번거로움이 따른다. 이에 따라 마그네틱 메모리 셀의 독출 동작이 불안정해지는 문제점이 발생한다.

<11> 따라서, 비트라인 클램핑 전압 레벨 변동에 대해 안정적인 독출 동작이 가능한 MRAM이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 비트라인 클램핑 전압(V_{REF}) 레벨 변동에 대해 안정적인 독출 동작이 가능한 MRAM을 제공하는 데 있다.

【발명의 구성 및 작용】

<13> 상기 목적을 달성하기 위하여, 본 발명의 제1 실시예에 따른 MRAM은 메모리 셀 어레이 블락, 기준 메모리 셀 어레이 블락, 제1 내지 제3 비트라인 클램핑 회로, 그리고 센스 앰프를 포함한다. 메모리 셀 어레이 블락은 워드라인들과 디지트 라인들, 그리고 비트라인들의 교차점에 복수개의 마그네틱 메모리 셀들이 배열된다. 기준 메모리 셀 어레이 블락은 기준 워드라인들과 디지트 라인들, 그리고 기준

비트라인의 교차점에 배열되는 복수개의 마그네틱 메모리 셀들을 갖고, 인접한 워드라인 2개마다 기준 워드라인이 하나씩 배열된다. 제1 비트라인 클램핑 회로는 비트라인과 연결되고, 메모리 셀 어레이 블락 내 선택된 마그네틱 메모리 셀 데이터에 따라 소정의 전류를 비트라인을 통해 선택된 마그네틱 메모리 셀로 흘린다. 제1 및 제3 비트라인 클램핑 회로는 기준 비트라인의 상단부 및 하단부에 각각 연결되고, 기준 메모리 셀 어레이 블락 내 선택되는 마그네틱 메모리 셀들로 소정의 전류를 기준 비트라인을 통해 흘린다. 센스 앰프는 비트라인과 연결되는 데이터 라인 상의 전류와 기준 비트라인과 연결되는 기준 데이터 라인 상의 전류 차를 감지증폭하여 메모리 셀 어레이 블락의 선택된 마그네틱 메모리 셀 데이터를 판별한다.

<14> 바람직하기로, 제1 비트라인 클램핑 회로는 제2 및 제3 비트라인 클램핑 회로와 동일하다. 제1 내지 제3 비트라인 클램핑 회로 각각은 비트라인 또는 기준 비트라인의 전압과 비트라인 클램핑 전압을 비교하여 비트라인 또는 기준 비트라인의 전압 레벨을 비트라인 클램핑 전압 레벨로 끌어올린다. 기준 메모리 셀 어레이 블락은 기준 워드라인에 연결되는 2개의 마그네틱 메모리 셀들로 각각 데이터 "H"와 데이터 "L"가 저장된다. 마그네틱 메모리 장치는 기준 비트라인, 데이터 라인 및 기준 데이터 라인 각각으로 일정 전류를 흘리는 제1, 제2 및 제3 전류 제공부를 더 포함한다.

<15> 상기 목적을 달성하기 위하여, 본 발명의 제2 실시예에 따른 MRAM의 기준 메모리 셀 어레이 블락은 워드라인들과 디지트 라인들, 그리고 기준 비트라인의 교차점에 배열되는 복수개의 상기 마그네틱 메모리 셀들을 갖고, 기준 비트라인 양쪽으로 2개의 상기 마그네틱 메모리 셀들에 배열되고 각각 데이터 "H" 및 데이터 "L"를 저장한다.



<16> 따라서, 본 발명의 MRAM에 의하면, 동일한 비트라인 클램핑 회로들을 비트라인과 기준 비트라인에 연결시켜 사용함으로써 비트라인 클램핑 전압 레벨 변동에 따라 자기 저항 값이 틀어지는 현상을 방지하여 안정된 독출 동작이 가능해진다. 또한, 비트라인 클램핑 전압이 변화되더라도 비트라인과 기준 비트라인에 동일하게 적용되어 비트라인 클램핑 회로 내 비교기 동작 시점이 같아지는 것을 이용하여 비트라인 클램프 전압 조절을 통해 센스 앰프의 동작 시점을 자유로이 조정할 수 있다.

<17> 도 3은 본 발명의 제1 실시예에 따른 MRAM을 나타내는 도면이다. 이를 참조하면, MRAM(300)은 메모리 어레이 블락(310), 기준 메모리 어레이 블락(320), 워드라인 및 디지트 라인 선택부(330), 기준 워드라인 및 디지트 라인 선택부(340), 비트라인 및 기준 비트라인 선택부(350), 기준 전류 제공부들(361, 362, 363), 비트라인 클램핑 회로들(371, 372, 373) 그리고 센스 앰프(380)를 포함한다. 메모리 어레이 블락(310)은 워드라인들(WL0, WL1, …, WL_{n-1}, WL_n: 전체적으로 "WL"이라고 칭함)과 비트라인(BL0, BL1, …, BL_{n-1}, BL_n: 전체적으로 "BL"이라고 칭함), 그리고 디지트 라인(DL0, DL1, …, DL_{n-1}, DL_n: 전체적으로 "DL"이라고 칭함)의 교차점에 행들 및 열들로 마그네틱 메모리 셀이 배열되어 있다. 기준 메모리 어레이 블락(320)은 기준 워드라인들(RWL01, RWL23, …, RWL_{(n-1)n}: 전체적으로 "RWL"이라고 칭함)과 기준 비트라인(RBL), 그리고 디지트 라인(DL)의 교차점에 마그네틱 메모리 셀들이 배열된다. 제1 기준 워드라인(RWL01)에 연결되는 2개의 마그네틱 메모리 셀들(321, 322)은 각각 로직 "H" 상태와 로직 "L" 상태를 저장한다.

<18> 워드라인 및 디지트 라인 선택부(330)는 워드라인들(WL) 중의 하나를 선택하고 디지트 라인들(DL) 중의 하나를 선택하여 디지트 전류(ID)의 방향을 결정한다. 비트라인



및 기준 비트라인 선택부(350)는 비트라인들(BL) 중의 하나와 기준 비트라인(RBL)를 선택하여 데이터 라인(SDL)과 기준 데이터 라인(RDL)과 연결시킨다. 제1 내지 제3 전류 제공부(361, 362, 363) 각각은 데이터 라인(SDL)과 기준 데이터 라인(RSDL), 그리고 기준 비트라인(RBL)으로 일정 전류를 공급한다. 제1 내지 제3 비트라인 클램핑 회로들(371, 372, 373)은 동일한 구조를 갖고, 워드라인(WL)이 인에이블되기 전 접지 전압(VSS)으로 프리차아지된 데이터 라인과 기준 데이터 라인을 비트라인 클램프 전압(VREF, 미도시) 레벨까지 끌어올리고 선택된 마그네틱 메모리 셀의 데이터 값에 따라 데이터 라인으로 $i(H)$ 또는 $i(L)$ 전류가, 그리고 기준 데이터 라인(RSDL)으로 $(i(H)+i(L))/2$ 전류가 흐르게 된다. 센스 앰프(380)는 데이터 라인(SDL)과 기준 데이터 라인(RSDL)으로 흐르는 전류를 감지 증폭하여 선택된 마그네틱 메모리 셀의 위치 상태를 판단한다.

<19> 도 4는 도 3의 MRAM(300)에서 마그네틱 메모리 셀 데이터를 독출하는 동작을 설명하는 회로도이다. 이를 참조하면, 메모리 어레이 블락(310) 내 선택된 마그네틱 메모리 셀(311) 데이터가 "L"일 경우 마그네틱 메모리 셀(311)로 $i(L)$ 전류가 흐르게 되는 데, 제1 비트라인 클램핑 회로(371)에서 마그네틱 메모리 셀(311)이 연결된 비트라인(BL)으로 $i(L)$ 전류를 공급한다. 기준 메모리 어레이 블락(320) 내 선택된 마그네틱 메모리 셀들(321, 322)로 $i(H)$ 전류와 $i(L)$ 전류가 흐른다. 이 때, 기준 비트라인(RBL)과 연결되는 제2 비트라인 클램핑 회로(372)와 제3 클램핑 회로(373) 각각에서 $(i(H)+i(L))/2$ 전류를 공급하여 기준 비트라인(RBL)으로 $i(H)+i(L)$ 전류가 흐른다. 비트라인(BL)과 연결된 데이터 라인(SDL)으로는 제1 전류 제공부(361)에서 제공하는 iT 전류에서 비트라인(BL)의 $i(L)$ 전류를 뺀 $iT-i(L)$ 전류가 흐른다. 기준 비트라인(RBL)과 연결되는 기준 데이터 라인(RSDL)으로는 제2 전류 제공부(362)에서 제공하는 iT 전류에서 기준 비트라인



(RBL) 하단부의 $(i(H)+i(L))/2$ 전류를 뺀 $iT - ((i(H)+i(L))/2)$ 전류가 흐른다. 센스 앰프(380)는 데이터 라인(SDL)과 기준 데이터 라인(RSDL)의 전류차, 즉 $(i(H)-i(L))/2$ 전류차를 감지 증폭하여 선택된 마그네틱 메모리 셀(311)의 데이터를 판단한다.

<20> 이러한 MRAM(300)은 동일한 비트라인 클램핑 회로들(371, 372, 373)이 비트라인(BL)과 기준 비트라인(RBL)에 연결시켜 사용함으로써, 도 2에 도시된 바와 같은 비트라인 클램핑 전압(VREF) 레벨 변동에 따라 자기 저항 값이 틀어지는 현상을 방지할 수 있다. 이에 따라 안정된 독출 동작이 가능해진다. 또한 비트라인 클램핑 전압(VREF)이 변화되더라도 비트라인(BL)과 기준 비트라인(RBL)에 동일하게 적용되어 비트라인 클램핑 회로 내 비교기 동작 시점이 같아지는 것을 이용하여 비트라인 클램프 전압(VREF) 조절을 통해 센스 앰프(380)의 동작 시점을 자유로이 조정할 수 있다.

<21> 도 5는 본 발명의 제2 실시예에 따른 MRAM을 나타내는 도면이다. 이를 참조하면, MRAM(500)은 도 3의 MRAM(300)과 거의 동일하다. 다만, 기준 메모리 셀 어레이 블락(520)이 도 3의 기준 메모리 셀 어레이 블락(320)과 다르다는 점에서 차이가 있다. 동일한 참조부호는 동일한 부재를 나타내므로, 설명의 중복을 피하기 위하여 도 3과 동일한 부재에 대한 구체적인 설명은 생략된다. 기준 메모리 셀 어레이 블락(520)은 워드라인(WL)과 디지트 라인(DL), 그리고 기준 비트라인(RBL)의 교차점들에 마그네틱 메모리 셀들이 배열된다. 하나의 워드라인(WL) 및 디지트 라인(DL)과 연결되는 2개의 마그네틱 메모리 셀들(521, 522)이 기준 비트라인(RBL)에 연결된다. 하나의 마그네틱 메모리 셀(521)에는 "L" 데이터가 저장되고 나머지 다른 마그네틱 메모리 셀(522)에는 "H" 데이터가 저장된다.

<22> 도 6은 도 5의 MRAM(500)에서 마그네틱 메모리 셀 데이터를 독출하는 동작을 설명하는 회로도이다. 이를 참조하면, 메모리 어레이 블락(310) 내 선택된 마그네틱 메모리 셀(311) 데이터가 "H"일 경우 마그네틱 메모리 셀(321)로 $i(H)$ 전류가 흐르게 되는 데, 제1 비트라인 클램핑 회로(371)에서 마그네틱 메모리 셀(321)이 연결된 비트라인(BL)으로 $i(H)$ 전류를 공급한다. 기준 메모리 어레이 블락(520) 내 선택된 마그네틱 메모리 셀들(521, 522)로 $i(L)$ 전류와 $i(H)$ 전류가 흐른다. 이 때, 기준 비트라인(RBL)과 연결되는 제2 비트라인 클램핑 회로(372)와 제3 클램핑 회로(373) 각각에서 $(i(H)+i(L))/2$ 전류를 공급하여 기준 비트라인(RBL)으로 $i(H)+i(L)$ 전류가 흐른다. 기준 비트라인(RBL)의 $i(H)+i(L)$ 전류가 마그네틱 메모리 셀들(521, 522)의 $i(L)$ 전류 및 $i(H)$ 전류가 된다. 비트라인(BL)과 연결된 데이터 라인(SDL)으로는 제1 전류 제공부(361)에서 제공하는 iT 전류에서 비트라인(BL)의 $i(H)$ 전류를 뺀 $iT-i(H)$ 전류가 흐른다. 기준 비트라인(RBL)과 연결되는 기준 데이터 라인(RSDL)으로는 제2 전류 제공부(362)에서 제공하는 iT 전류에서 기준 비트라인(RBL) 하단부의 $(i(H)+i(L))/2$ 전류를 뺀 $iT-((i(H)+i(L))/2)$ 전류가 흐른다. 센스 앰프(380)는 데이터 라인(SDL)과 기준 데이터 라인(RSDL)의 전류차, 즉 $(i(L)-i(H))/2$ 를 감지 증폭하여 선택된 마그네틱 메모리 셀(321)의 데이터를 판단한다.

<23> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<24> 상술한 본 발명의 MRAM에 의하면, 동일한 비트라인 클램핑 회로들을 비트라인과 기준 비트라인에 연결시켜 사용함으로써 비트라인 클램핑 전압(VREF) 레벨 변동에 따라 자기 저항 값이 틀어지는 현상을 방지하여 안정된 독출 동작이 가능해진다. 또한 비트라인 클램핑 전압이 변화되더라도 비트라인과 기준 비트라인에 동일하게 적용되어 비트라인 클램핑 회로 내 비교기 동작 시점이 같아지는 것을 이용하여 비트라인 클램프 전압 조절을 통해 센스 앰프의 동작 시점을 자유로이 조정할 수 있다.

【특허청구범위】**【청구항 1】**

워드라인들과 디지트 라인들, 그리고 비트라인들의 교차점에 배열되는 복수개의 마그네틱 메모리 셀들을 갖는 메모리 셀 어레이 블락;

기준 워드라인들과 상기 디지트 라인들, 그리고 기준 비트라인의 교차점에 배열되는 복수개의 상기 마그네틱 메모리 셀들을 갖고, 인접한 상기 워드라인 2개마다 상기 기준 워드라인이 하나씩 배열되는 기준 메모리 셀 어레이 블락;

상기 비트라인과 연결되고, 상기 메모리 셀 어레이 블락 내 선택된 상기 마그네틱 메모리 셀 데이터에 따라 소정의 전류를 상기 비트라인을 통해 상기 선택된 마그네틱 메모리 셀로 흘리는 제1 비트라인 클램프 회로;

상기 기준 비트라인의 상단부 및 하단부에 각각 연결되고, 상기 기준 메모리 셀 어레이 블락 내 선택되는 상기 마그네틱 메모리 셀들로 소정의 전류를 상기 기준 비트라인을 통해 흘리는 상기 제2 및 제3 비트라인 클램프 회로; 및

상기 비트라인과 연결되는 데이터 라인 상의 전류와 상기 기준 비트라인과 연결되는 기준 데이터 라인 상의 전류 차를 감지증폭하여 상기 메모리 셀 어레이 블락의 상기 선택된 마그네틱 메모리 셀 데이터를 판별하는 센스 앰프를 구비하는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 제1 비트라인 클램핑 회로는

상기 제2 및 제3 비트라인 클램핑 회로와 동일한 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 제1 내지 제3 비트라인 클램핑 회로 각각은 상기 비트라인 또는 상기 기준 비트라인의 전압과 비트라인 클램핑 전압을 비교하여 상기 비트라인 또는 상기 기준 비트라인의 전압 레벨을 상기 비트라인 클램핑 전압 레벨로 끌어올리는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 기준 메모리 셀 어레이 블락은 상기 기준 워드라인에 연결되는 2개의 마그네틱 메모리 셀들로 각각 데이터 "H"와 데이터 "L"가 저장되는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 마그네틱 메모리 장치는 상기 기준 비트라인, 상기 데이터 라인 및 상기 기준 데이터 라인 각각으로 일정 전류를 흘리는 제1, 제2 및 제3 전류 제공부를 더 구비하는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 6】

워드라인들과 디지트 라인들, 그리고 비트라인들의 교차점에 배열되는 복수개의 마그네틱 메모리 셀들을 갖는 메모리 셀 어레이 블락;

상기 워드라인들과 상기 디지트 라인들, 그리고 기준 비트라인의 교차점에 배열되는 복수개의 상기 마그네틱 메모리 셀들을 갖고, 상기 기준 비트라인 양쪽으로 2개의 상기 마그네틱 메모리 셀이 배열되는 기준 메모리 셀 어레이 블락;

상기 비트라인과 연결되고, 상기 메모리 셀 어레이 블락 내 선택된 상기 마그네틱 메모리 셀 데이터에 따라 소정의 전류를 상기 비트라인을 통해 상기 선택된 마그네틱 메모리 셀로 흘리는 제1 비트라인 클램프 회로;

상기 기준 비트라인의 상단부 및 하단부에 각각 연결되고, 상기 기준 메모리 셀 어레이 블락 내 선택되는 상기 마그네틱 메모리 셀들로 소정의 전류를 상기 기준 비트라인을 통해 흘리는 상기 제2 및 제3 비트라인 클램프 회로; 및

상기 비트라인과 연결되는 데이터 라인 상의 전류와 상기 기준 비트라인과 연결되는 기준 데이터 라인 상의 전류 차를 감지증폭하여 상기 메모리 셀 어레이 블락의 상기 선택된 마그네틱 메모리 셀 데이터를 판별하는 센스 앰프를 구비하는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 제1 비트라인 클램핑 회로는 상기 제2 및 제3 비트라인 클램핑 회로와 동일한 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 8】

제7항에 있어서, 상기 제1 내지 제3 비트라인 클램핑 회로 각각은

상기 비트라인 또는 상기 기준 비트라인의 전압과 비트라인 클램핑 전압을 비교하여 상기 비트라인 또는 상기 기준 비트라인의 전압 레벨을 상기 비트라인 클램핑 전압 레벨로 끌어올리는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 9】

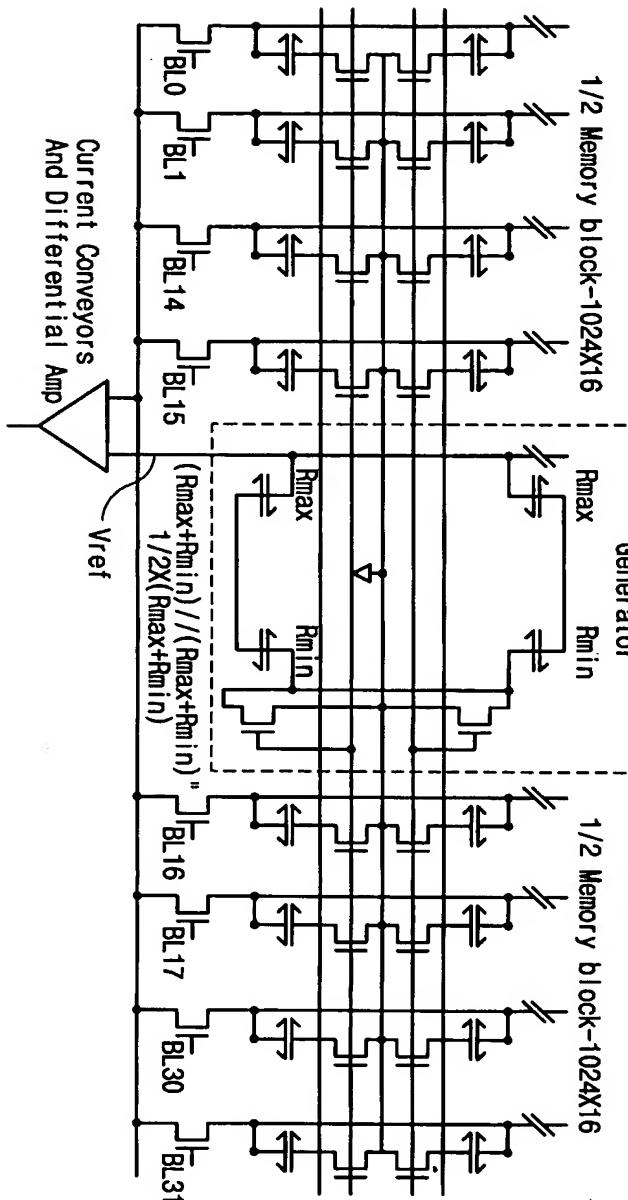
제6항에 있어서, 상기 기준 메모리 셀 어레이 블락은 상기 워드라인에 연결되는 상기 2개의 마그네틱 메모리 셀들로 각각 데이터 "H"와 데이터 "L"가 저장되는 것을 특징으로 하는 마그네틱 메모리 장치.

【청구항 10】

제6항에 있어서, 상기 마그네틱 메모리 장치는 상기 기준 비트라인, 상기 데이터 라인 및 상기 기준 데이터 라인 각각으로 일정 전류를 흘리는 제1, 제2 및 제3 전류 제공부를 더 구비하는 것을 특징으로 하는 마그네틱 메모리 장치.

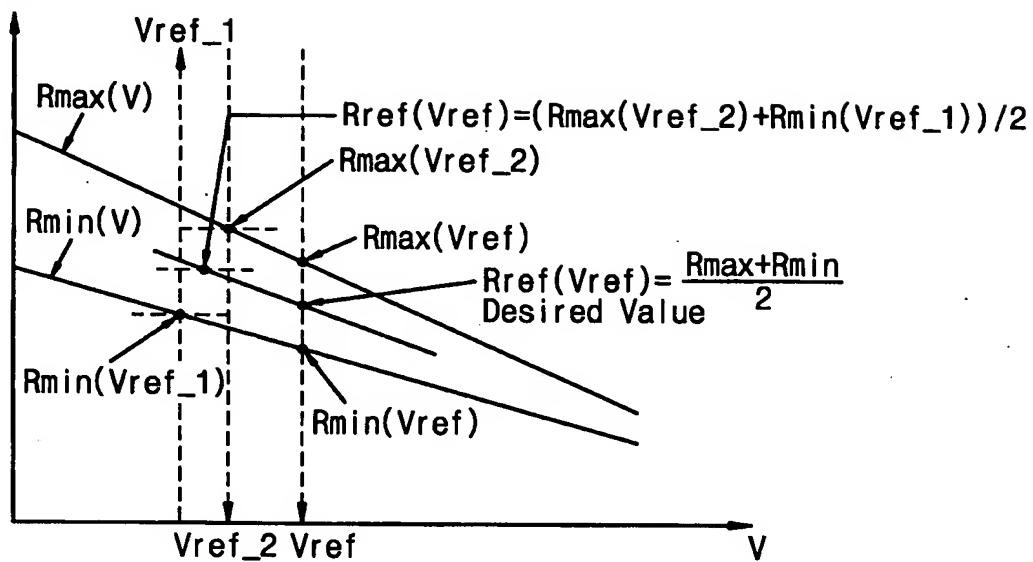
【도면】

【도 1】

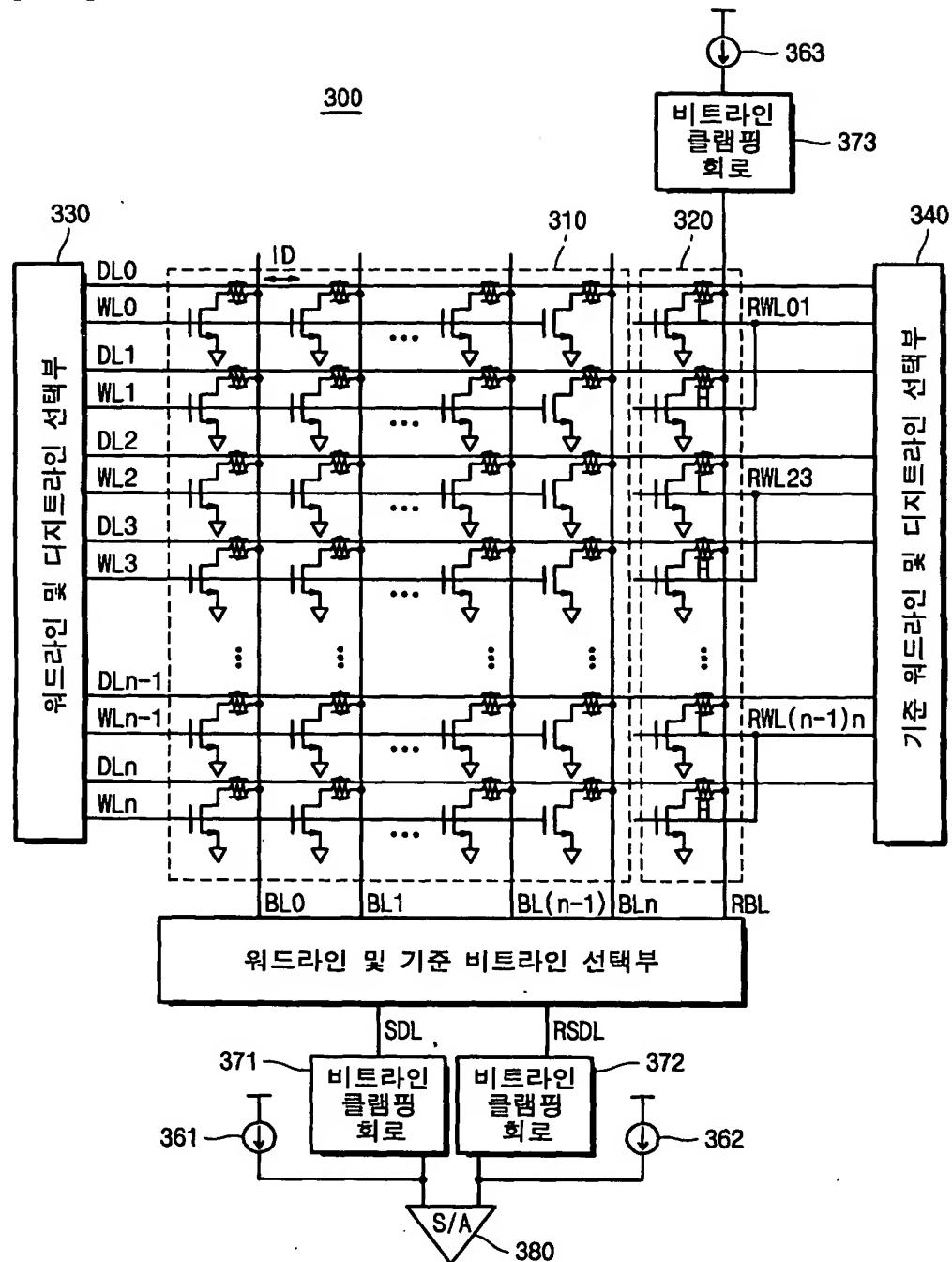


RAM 32KB Memory Block with Mid-Point Reference Generator

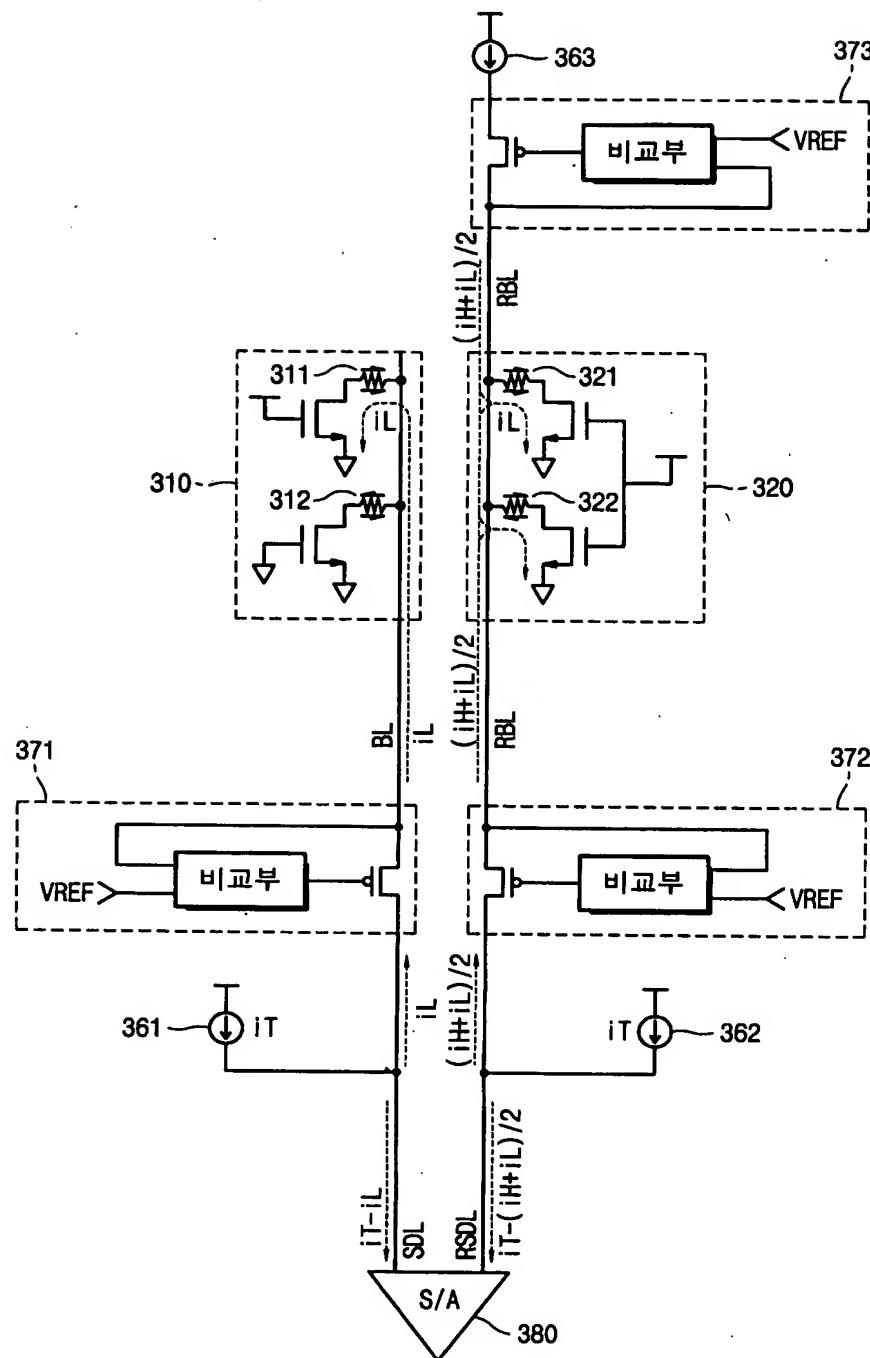
【도 2】



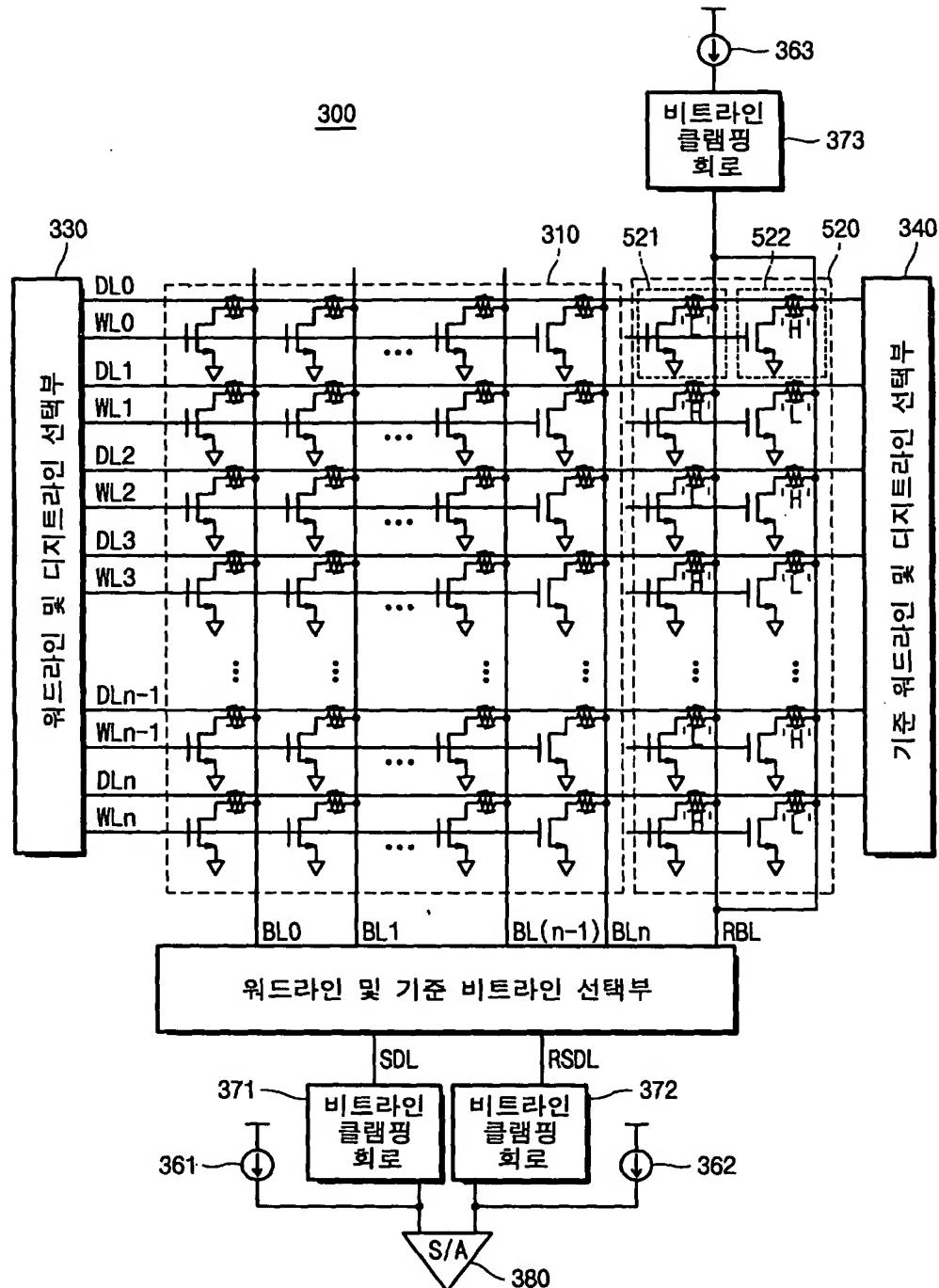
【도 3】



【도 4】



【도 5】



【도 6】

